

Comparación de códigos correctores de errores LDPC y códigos polares en un canal de memoria flash NAND MLC

Harairis Brunet César, José Ramón Rodríguez Cruz, Ernesto Zambrano Serrano, Miguel Ángel Platas Garza

Universidad Autónoma de Nuevo León, Facultad de Ingeniería Mecánica y Eléctrica, México
harairis.bruntc@uanl.mx, jose.rodriguezcu@uanl.edu.mx, ernesto.zambranos@uanl.edu.mx, miguel.platasgrz@uanl.edu.mx

RESUMEN

Entre los códigos correctores de errores más investigados en la literatura científica se encuentran los códigos de comprobación de paridad de baja densidad (LDPC) y los códigos polares. Ambas codificaciones son también herramientas efectivas en tecnologías inalámbricas como la 5G. Para abordar errores de bits en memorias flash NAND MLC, se ha propuesto el modelo de Canal Binario Asimétrico (BAC), que considera la asimetría presente en estos errores. Este estudio compara la probabilidad de error medio vs. la razón señal a ruido de los códigos LDPC y los códigos polares para un modelo de canal BAC de memorias flash NAND MLC, basado en la distribución de probabilidad Beta-Binomial. Para este modelo de canal, se obtiene una probabilidad de error promedio para 10000 ciclos de programación y borrado de 6.2×10^{-3} para códigos LDPC, mientras que para códigos polares es de 5.6×10^{-3} .

PALABRAS CLAVE

Códigos polares, LDPC, canal de memoria flash NAND MLC, ECC, BAC.

ABSTRACT

Among the error correction codes extensively studied in the scientific literature are the Low-Density Parity-Check (LDPC) codes and polar codes. Both encoding schemes also serve as effective tools in wireless technologies such as 5G. To address bit errors in NAND MLC flash memories, the Asymmetric Binary Channel (BAC) model is proposed, taking into account the asymmetry present in these errors. This study compares the average error probability vs. signal-to-noise ratio of LDPC codes and polar codes for a BAC channel model of NAND MLC flash memories, based on the Beta-Binomial probability distribution. For this channel model, an average error probability of 6.2×10^{-3} is obtained for LDPC codes after 10,000 programming and erasing cycles, while for polar codes it is 5.6×10^{-3} .

KEYWORDS

Polar code, LDPC, flash memory channel, ECC, BAC.

INTRODUCCIÓN

Las memorias flash se han convertido en componentes esenciales para el funcionamiento de diversas tecnologías disruptivas, como la computación en la nube, la inteligencia artificial y ciudades inteligentes. En el año 2023, el mercado de las memorias flash fue valuado en 67.67 billones de dólares, y se estima que durante el período comprendido entre 2024 y 2030, experimentará una tasa de crecimiento anual compuesta (CAGR) del 5.0%. Se proyecta que para el año 2031, este mercado alcance un valor de 99.65 billones de dólares.¹

La investigación de códigos de corrección de errores (ECC) ha experimentado avances significativos a lo largo del tiempo. Los códigos LDPC (Low-Density Parity-Check), propuestos por R. G. Gallager en la década de 1960, no recibieron mucha atención hasta la década de 1980,

cuando se encontró su representación mediante Grafos de Tanner, pero su redescubrimiento en la década de 1990, liderado por David MacKay, los posicionó como herramientas eficaces con capacidades próximas al límite de Shannon con alta confiabilidad y baja complejidad en los algoritmos de codificación.²⁻⁴

En contraste, los códigos polares, introducidos por Erdal Arikan en 2008, marcaron un hito al convertirse en el primer código corrector de errores con construcción explícita que demuestra alcanzar la capacidad del canal de Shannon. Su adopción en la 5G y la decisión del 3GPP de adoptarlos en los canales de control de eMBB (Banda Ancha Móvil Mejorada) en la interfaz 5G NR (Nuevo Radio), subraya su impacto en las comunicaciones modernas.⁵

Lograr una solución eficiente para la corrección de errores es un desafío. Se debe cumplir con limitaciones relacionadas con el rendimiento del sistema y el consumo de recursos. Por lo cual, es importante la creación de herramientas de codificación, que combinen los conocimientos de procesamiento de señales y teoría de la información para la creación de ECC que puedan mejorar la durabilidad y confiabilidad de las memorias flash MLC.⁶⁻⁸

Existen en la literatura científica múltiples investigaciones referidas a los códigos LDPC. Un código LDPC, por ejemplo, puede tolerar una tasa de error de bits sin procesar de 1×10^{-6} .² Este valor es positivo para una memoria flash tipo NAND MLC, pero compromete el diseño con redundancia, latencia y sobrecarga de área.⁶ Un decodificador LDPC de 4 KB puede lograr un rendimiento de 19,3 Gbps libres de errores en un área de 0,120 mm², para satisfacer el requisito de rendimiento de la arquitectura ONFI.⁹

Los códigos polares, por su parte presentan menor complejidad computacional que los códigos LDPC.¹⁰ pero no han sido explícitamente examinados en investigaciones científicas para las arquitecturas comúnmente utilizadas en la corrección de errores. Esta brecha en el conocimiento impulsa la necesidad de estudios que comparen los códigos polares y los códigos LDPC en diversos contextos. Dichas investigaciones permiten obtener una referencia experimental sobre la eficacia de ambas formas de codificación en múltiples escenarios, y así identificar áreas de oportunidades para su implementación.

En paralelo, los modelos de canal para memoria flash basados en distribuciones de probabilidad, como la gaussiana y la mezcla normal - laplaciano, han sido valiosos para predecir la tasa de error de bit residual (RBER). Sin embargo, presentan limitación en su capacidad para indicar de manera fiable el rendimiento de la tasa de error de trama (FER) de los ECC en memorias flash MLC, lo que ha impulsado la investigación hacia modelos más precisos. El modelo de canal BAC (Binary Asymmetric Channel), utilizando distribuciones de probabilidad Beta - Binomial (BBM), ha demostrado ser una elección efectiva al ajustarse a la sobredispersión observada en datos empíricos de otros modelos y ofrecer un rendimiento satisfactorio en la estimación de FER de ECC.⁷

CÓDIGOS LDPC

Los códigos LDPC son códigos de bloque lineales con matrices de comprobación de paridad que contienen solo un número muy pequeño de entradas diferentes de cero. Una matriz de comprobación de paridad para un código LDPC puede ser la siguiente:⁴

$$H = \begin{bmatrix} 1 & 1 & 0 & 0 & 1 & 0 \\ 1 & 0 & 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 & 1 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 \end{bmatrix}$$

La codificación y decodificación de códigos LDPC se lleva a cabo mediante la matriz H. En esta matriz, cada fila representa una ecuación de paridad, mientras que las columnas representan símbolos del bloque.⁴ Los códigos LDPC pueden ser eficazmente representados mediante los Grafos de Tanner,¹¹ donde se representan las filas y columnas de la matriz de paridad a través de los

nodos de comprobación (*CN*) y nodos variables (*VN*). La figura 1 presenta el Grafo de Tanner para la matriz *H*, destacando las conexiones esenciales entre *CN* y *VN*.²

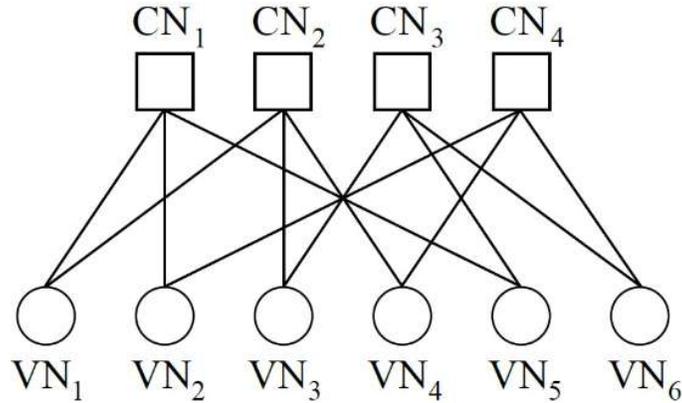


Fig. 1. Grafo de Tanner de la matriz *H*.

CODIFICACIÓN

La codificación puede ser escrita de la forma $c = uG$, donde c representa la palabra de código de salida, u denota el bloque de entrada y G es la matriz generadora. La matriz generadora se deriva a partir de la matriz de comprobación de paridad H al colocarla en forma sistemática mediante la eliminación de Gauss - Jordan. La matriz de comprobación de paridad H está diseñada para una longitud específica del bloque de entrada, y su transformación a una forma sistemática puede volverse compleja, especialmente para longitudes extensas de bloque.^{3, 12}

DECODIFICACIÓN

La decodificación LDPC se realiza mediante el algoritmo Suma - Producto, que basa su funcionamiento en el envío de mensajes entre CN_s y VN_s en el Grafo de Tanner. Inicialmente los VN_s envían los Razones de Verosimilitud Logarítmica (*LLR*) L_j a los CN_s , a continuación, los CN_s realizan sus cálculos y los envían a los VN_s conectados según:^{2, 12, 13}

$$L_{i \rightarrow j} = 2 \tanh^{-1} \left[\prod_{j' \in N(i) - \{j\}} \tanh(L_{j' \rightarrow i/2}) \right]$$

El símbolo $L_{i \rightarrow j}$ es el mensaje transmitido desde el i - ésimo CN al j - ésimo nodo de VN . $L_{j \rightarrow i}$, es el mensaje transmitido desde el j - ésimo VN al i - ésimo CN y N_i es el conjunto de VN_s conectados al i - ésimo CN [12].

$$L_{j \rightarrow i} = L_j + \sum_{i' \in N(j) - \{i\}} L_{i' \rightarrow j},$$

donde N_j es el conjunto de CN_s conectados al j - ésimo CN . En este punto, se completa una iteración, y se puede calcular el *LLR* total como [2, 12]:

$$L_{j(total)} = L_j + \sum_{i \in N_j} L_{i \rightarrow j}$$

CÓDIGOS POLARES

Los códigos polares constituyen una categoría de códigos lineales de bloque que demuestran de manera efectiva la capacidad de cualquier canal simétrico discreto sin memoria de entrada binaria (B-DMC). Estos códigos surgen a partir de la transformación de polarización del canal, la cual implica la combinación y división del mismo. A medida que la longitud del código aumenta, los canales (o posiciones de bits) experimentan polarización, resultando en que algunos canales sean altamente confiables, mientras que otros se consideran no confiables. Durante la transmisión, los bits de información se colocan exclusivamente en los canales confiables, mientras que en los canales no confiables se ubican bits previamente conocidos o son transmitidos en ceros.¹⁴

Si $W: X \rightarrow Y$ es un B-DMC con alfabeto entrada $X = \{0,1\}$ y alfabeto de salida Y , y probabilidades de transición $P(X|Y)$. Se considera $I(W), Z(W)$, tal que:13-15

$$I(W) \triangleq \sum_{y \in Y} \sum_{x \in X} \frac{1}{2} W(y|x) \log \frac{W(y|x)}{\frac{1}{2} W(y|0) + \frac{1}{2} W(y|1)}$$

$$Z(W) \triangleq \sum_{y \in Y} \sqrt{W(y|0)W(y|1)},$$

donde $I(W) \in [0,1]$ es la capacidad de W , $Z(W) \in [0,1]$ es el parámetro de Bhattacharyya de W y se utiliza como criterio para medir la confiabilidad. Si consideramos W un canal binario de borrado (BEC), con probabilidad de borrado ϵ , y se denota como BEC(ϵ), entonces $Z(W) = \epsilon$, y $I(W) = 1 - \epsilon$, entonces, $\{W_N^{(i)}: 1 \leq i \leq N\}$ es un conjunto de B-DMC polarizados con índices i que se pueden obtener realizando la polarización de canal en las N copias independientes de W . Para cada W_N^i , el parámetro de Bhattacharyya es denotado como $Z(W_N^{(i)})$:^{14, 15}

$$Z(W_{2^k}^{(i)}) = \begin{cases} 2Z(W_k^{(i)}) - Z^2(W_k^{(i)}) & : 1 \leq i \leq k \\ Z^2(W_k^{(i-k)}) & : k+1 \leq i \leq 2k \end{cases},$$

siendo $N = 2^n$, $n \geq 1, i = 1, 2, \dots, N, k = 1, 2, \dots, 2^{n-1}$.¹⁵

CODIFICACIÓN

Para los códigos polares, la codificación puede considerarse como una operación de multiplicación vectorial tal que $x = uG$, donde:

u : es un vector fila de N elementos, con k elementos correspondientes al mensaje original y $N - k$ elementos correspondientes a los frozen bits.

G : es la matriz generadora de $N \times N$ elementos, tal que $G = G^{\otimes n}$.

x : es el vector fila de N elementos correspondientes al vector codificado.[13]:

La matriz $G = G^{\otimes n}$, se construye aplicando la n -ésima potencia de Kronecker, tal que, $G = G^{\otimes 1} = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$.

El producto de Kronecker, en su forma general en este caso puede escribirse como:

$$G^{\otimes n} = \begin{pmatrix} G^{\otimes (n-1)} & 0 \\ G^{\otimes (n-1)} & G^{\otimes (n-1)} \end{pmatrix}$$

Si $N = 2$ entonces,

$$G = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$$

Si $N = 4$ entonces:

$$G = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 1 & 1 \end{bmatrix}$$

El codificador puede expresarse como:

$$c = [u_1, u_2, u_3, u_4]G_4$$

La recombinación de canales está representada en la figura 2:

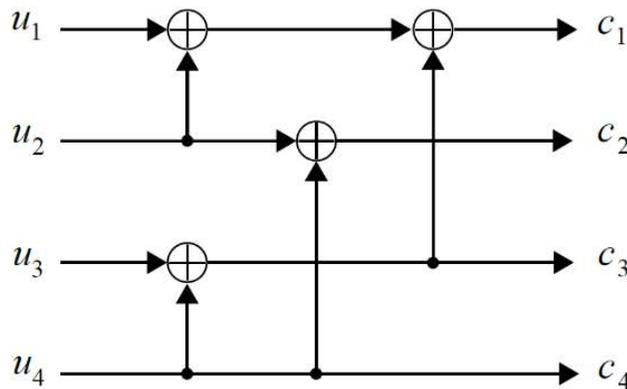


Fig. 2. Codificador polar de longitud 4.

DECODIFICACIÓN

El algoritmo estándar de decodificación para códigos polares es el algoritmo de Cancelación Sucesiva (SC). El decodificador SC se puede obtener directamente del codificador, en donde los nodos XOR y de conexión están representados por los nodos probabilísticos f y g , respectivamente. En el dominio de los LLR , los nodos f y g realizan los siguientes cálculos para las $LLRs$ de entrada conociendo a y b .^{13, 14}

$$f(a, b) = \log\left(\frac{e^{(a+b)} + 1}{e^a + e^b}\right)$$

$$g(a, b, s) = (-1)^s a + b,$$

donde s es la suma parcial de los bits previamente decodificados que participan en el nodo g actual.

Se puede aplicar una aproximación a f , tal que:

$$f(a, b) = \text{sign}(a)\text{sign}(b)\min(|a|, |b|)$$

Los $LLRs$ son propagados de derecha a izquierda en la figura 2. El primer bit u_1 puede ser decodificado directamente pasando los $LLRs$ de los nodos f apropiados. Una vez decodificado u_1 , u_2 puede ser decodificado a un nodo g , el cual requiere el cálculo de su suma parcial correspondiente. Si en la suma parcial solo está participando u_1 entonces el resultado es u_1 . Si u_1 no es uno de los canales confiables su valor es 0. Por tanto, los $LLRs$ del canal y u_1 serán utilizados para decodificar u_2 , resultando una mejor aproximación la decodificación de u_2 . La decodificación continúa hasta que se procesan todos los nodos.^{14, 15}

COMPARACIÓN DE LDPC Y CÓDIGOS POLARES PARA CANALES INALÁMBRICOS

En un canal inalámbrico de alto rendimiento (Wireless High Performance), al comparar la fiabilidad de la Tasa de Error de Paquetes (PER) en un corto intervalo de tiempo, se observan mejoras significativas al aplicar el algoritmo de decodificación de lista de cancelación sucesiva en códigos polares.¹¹

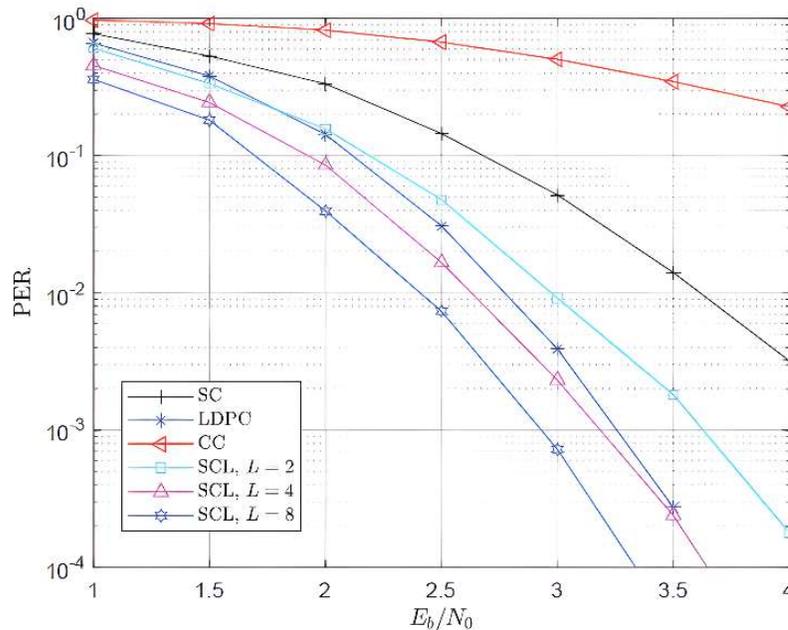


Fig. 3. PER vs. Señal a Ruido para decodificadores PC-SC, PC-SCL, CC y LPDC.¹¹

Para esquemas de codificación de un canal asignado a sistemas 5G, los códigos polares logran un rendimiento deficiente en la Tasa de Error en Bloque (BLER), en comparación con los códigos LDPC y los Turbo Códigos; sin embargo, logran un alto rendimiento en (Ultra-High Reliability & Low Latenc) y mMTC (Massive Machine Type Communications).⁵

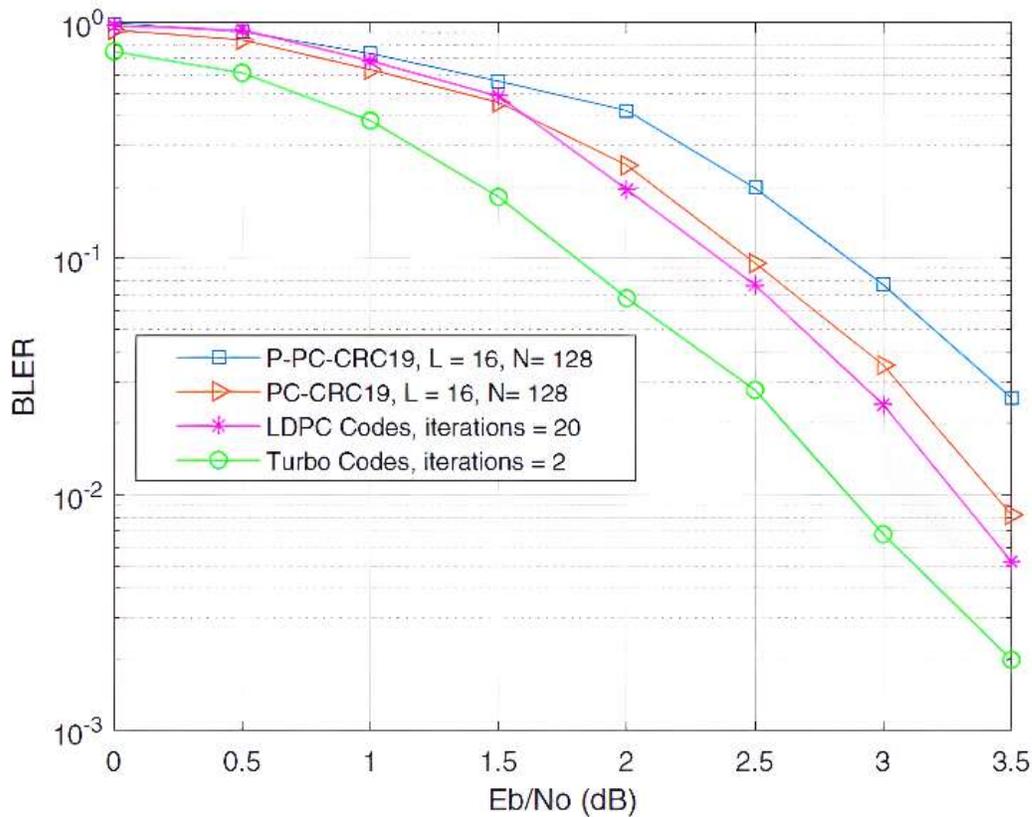
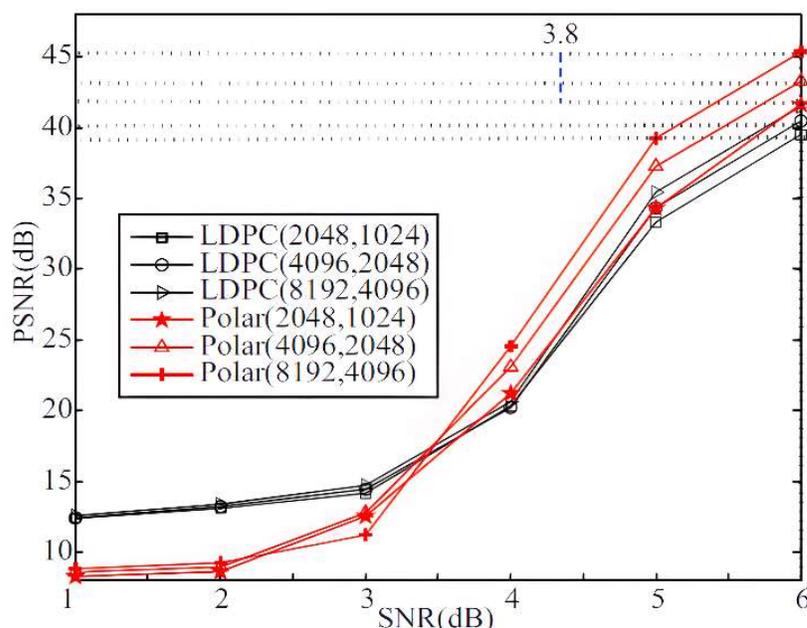


Fig. 4. BLER vs. Señal a Ruido para Turbo Códigos, LDPC y PC.⁵

Si se analiza la Señal a Ruido Pico (PSNR) sobre un canal inalámbrico con desvanecimiento de Rayleigh, durante la transmisión de una imagen, los códigos polares tienen un mejor rendimiento que los códigos LDPC, para valores mayores que 3.5dB de Señal a Ruido. Con el aumento de la longitud del código, el rendimiento de los códigos polares en la transmisión de imágenes mejora más rápido.¹⁶

Fig. 5. PSNR vs. Señal a Ruido para códigos LDPC y PC.¹⁶

COMPLEJIDAD DE LOS CODIGO LDPC Y LOS CODIGOS POLARES

En,¹⁷ se demuestra que las tasas de error asintóticas tanto de los códigos polares como de los códigos LDPC son funciones de la complejidad T y longitud de código N , descritas por la función $2^{-a2^{b\frac{T}{N}}}$, donde a, b son constantes que dependen del canal y el esquema de comunicación. Esta investigación muestra que los códigos LDPC y polares presentan diferentes balances entre rendimiento y complejidad. En términos de eficiencia de decodificación, los códigos polares superan asintóticamente a un los códigos LDPC (J, K) donde K representa el máximo de los nodos de comprobación y J el máximo de los nodos variables, con una tasa de código $R \leq 1 - \frac{J(J-1)}{2^J+(J-1)}$ en régimen de baja complejidad $T \leq O(N * \log N)$.

ESTRUCTURA DE LAS MEMORIAS FLASH NAND MLC

La unidad fundamental de almacenamiento de datos en memorias flash NAND es un transistor de compuerta flotante comúnmente conocido como celda. Una celda puede programarse para contener diferentes niveles de carga. Cada uno de estos niveles representan los bits de datos almacenados en una celda. Las celdas más comúnmente utilizadas en las memorias flash actuales son capaces de mantener 2, 4 y 8 niveles de carga distintos (1, 2, 3 bits/celda respectivamente) y se denominan celda de un solo nivel (SLC), celda de múltiples niveles (MLC) y celda de tres niveles (TLC) respectivamente.^{18,7}

Las memorias flash NAND MLC se representan mediante 2^2 bits de niveles de tensión umbral (V_{th}), los cuales no se superponen. La tensión umbral de una celda en particular se muestra principalmente influenciada por la cantidad de electrones atrapados en la compuerta flotante.

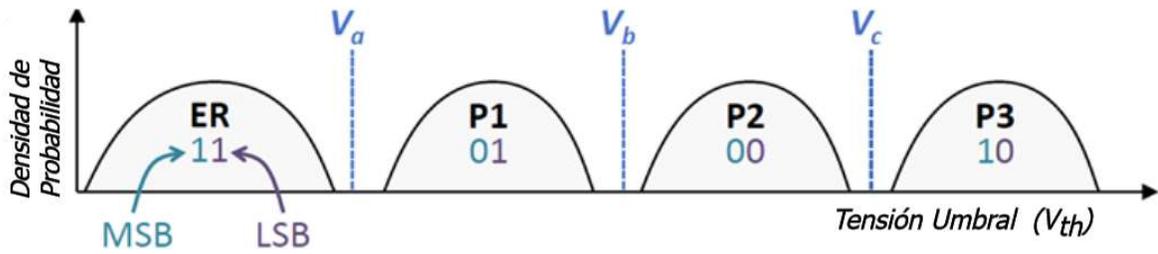


Fig. 6. Distribución de tensión umbral para una memoria flash NAND MLC.

En la figura 6, se presentan los cuatro estados posibles (*ER*, *P1*, *P2*, *P3*) de una memoria flash tipo NAND MLC, junto con sus respectivos valores de dos bits, ya sea el bit más significativo (*MSB*) o el bit menos significativo (*LSB*). Para leer el estado de cada celda, se aplican uno de los tres voltajes de referencia de lectura (V_a , V_b y V_c) a la misma. Previo a la programación de un nuevo estado, es necesario borrar la celda (estado *ER*). Al leer el *LSB* de una celda de varios niveles, se distinguen los estados en los cuales el valor del *LSB* es 1 (*ER* y *P1*) de aquellos en los cuales el valor del *LSB* es 0 (*P2* y *P3*), utilizando el voltaje de referencia de lectura V_b . Por otro lado, para leer el *MSB*, se diferencian los estados en los cuales el valor del *MSB* es 1 (*ER* y *P3*) de aquellos en los cuales el valor del *MSB* es 0 (*P1* y *P2*). Esto se logra al determinar si el voltaje umbral de la celda se encuentra entre V_a y V_c , aplicando cada uno de estos voltajes de referencia de lectura para determinar el *MSB*. Debido a la variabilidad en las operaciones del programa y a las diferencias en el proceso de fabricación, el voltaje umbral de las celdas programadas en el mismo estado sigue una distribución gaussiana, lo cual se representa mediante una curva para cada estado.⁶

LIMITACIONES DE LAS MEMORIAS FLASH NAND MLC

Los problemas de fiabilidad en las memorias flash NAND MLC se originan a partir de diversos tipos de ruido generados durante la escritura, lectura o períodos de inactividad de la memoria. Estos ruidos desplazan la distribución del voltaje umbral con respecto a la referencia de lectura. La figura 7 ilustra la posición relativa entre las distribuciones originales y las desplazadas. Como resultado de este desplazamiento, algunas celdas se leen incorrectamente, interpretándose como si estuvieran en un estado diferente al que fueron programadas. Esto provoca un aumento en la tasa de errores a lo largo de múltiples ciclos de operaciones de programación/borrado (*P/E*). Este desplazamiento también conlleva con el tiempo a la pérdida gradual de la carga eléctrica almacenada en una celda flash.^{6, 19, 20}

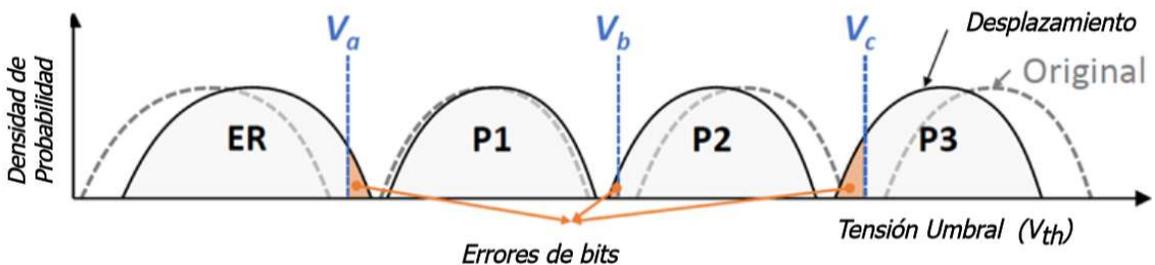


Figura 7. Distribución de tensión umbral desplazada para una memoria flash NAND MLC.

Otros impedimentos en la comunicación que dan lugar a este fenómeno son los errores de lectura, errores de programación, pérdida de carga e interferencia entre celdas. Los errores de programación surgen debido a la carga acumulada en la compuerta flotante de celdas vecinas que

no están programadas en el momento de la escritura. Esto provoca un aumento en el voltaje de umbral de la celda que se está programando, resultando en posibles errores de bits. Los errores de lectura se generan por la carga acumulada en la puerta flotante de celdas vecinas que no están siendo leídas en el momento de la operación de lectura. El voltaje de umbral en la celda que se está leyendo aumenta, lo que puede resultar en errores de bits. Este problema se vuelve más crítico cuando el número de lecturas entre dos operaciones de borrado es grande. La pérdida de carga con el tiempo ocurre cuando un bloque de memoria programada pierde carga, provocando una disminución del voltaje umbral. Esto da lugar a errores de bits y afecta la retención de datos en la memoria. La interferencia entre celdas es causada por la capacitancia parasitaria de los transistores, generando un aumento en la carga de celdas programadas con niveles bajos que están rodeadas de celdas programadas con niveles altos, lo que conduce a errores en los bits. En el análisis de un canal de memorias flash NAND MLC, estos errores se consideran como asimétricos.^{6, 7, 19, 20}

MODELO DE CANAL DE MEMORIA FLASH NAND MLC

En,^{7,21} se realiza una caracterización empírica de los errores en memorias flash NAND MLC a nivel de celda, considerando chips provenientes de dos fabricantes distintos. En estas investigaciones, se analiza la asimetría de los errores de bits en las posiciones *MLB* y *LSB*, centrándose en la caracterización de estos errores con el aumento de los ciclos de programación/borrado.

Para la descripción del canal de memoria flash se propone, un modelo de Canal Binario Asimétrico (*BAC*), también conocido como el modelo 2 - *BAC*, considerado por separado las posiciones *LSB* y *MSB*. A través de un análisis estadístico, se evidencia que el modelo *BAC* no se ajusta adecuadamente a los datos empíricos de errores y, por ende, no resulta apropiado para una estimación precisa del rendimiento de la tasa de errores de trama (*FER*) en la *ECC*. En respuesta a estas limitaciones, en,⁷ se propone un modelo de canal basado en la distribución de probabilidad Beta - Binomial, denominado el modelo de canal 2-Beta-Binomial (*2-BBM*). Se demuestra que este modelo se ajusta mejor a los datos empíricos observados y presenta un rendimiento satisfactorio en la estimación de la *FER* de *ECC*.²¹

Por tanto, el modelo de canal *BAC - BBM*, utiliza un modelo *BAC*, donde las probabilidades de error de bit p y q son variables aleatorias que se distribuyen según la distribución Beta - Binomial. Los algoritmos que definen este modelo de canal son los siguientes:

Algoritmo 1 Implementación del modelo BAC

Entrada: Trama de entrada x de longitud N , parámetros del modelo BAC

(p, q)

Salida: Trama de datos con errores y

Para cada $x_i \in x$ hacer

Generar una muestra aleatoria $u \sim \text{Uniforme}[0,1]$

Si $x_i = 0$ entonces $t = p$ sino $t = q$

Si $u \leq t$ entonces $e_{\{i\}} = 1$ sino $e_{\{i\}} = 0$

$y_i = x_i \otimes e_i$

Algoritmo 2 Implementación del modelo de canal BBM

Entrada: Trama de entrada x de longitud N , parámetros del modelo de canal BBM (a, b, c, d)

Salida: Trama de datos con errores y

$p \sim \text{Beta}(a, b)$ y $q \sim \text{Beta}(c, d)$

$y = \text{BAC}(x, p, q)$ [Algoritmo 1],

donde (a, b) y (c, d) corresponden a los parámetros de una distribución de probabilidad Beta-Binomial. En,⁷ se estiman los valores de (a, b, c, d) para este modelo de canal en función de los ciclos de programación/borrado.

Tabla I. Estimaciones de parámetros del modelo de canal BBM para MSB chip fabricante A.⁷

Ciclos programación/borrado	a	b	c	d
2000	12.72	46368.34	8.05	42569.08
4000	25.95	20940.98	15.46	23556.92
6000	22.67	7596.71	18.16	11890.14
8000	20.72	4143.52	22.28	7821.13
10000	21.36	2819.03	26.12	5890.35

Tabla II. Estimaciones de parámetros del modelo de canal BBM para LSB chip fabricante A.⁷

Ciclos programación/borrado	a	b	c	d
2000	2.85	446831.46	15.31	24066.27
4000	3.57	315123.27	22.49	7551.62
6000	1.68	95672.63	18.90	3528.74
8000	2.01	86407.03	20.09	2682.08
10000	1.81	61326.54	23.79	2338.70

La validación de modelo de canal esta descrita en.^{7, 19, 21} Estas investigaciones describen los procedimientos, resultados y comprobaciones que derivan en el modelo de canal *BAC – BBM*. Para ello, se utilizan 2 chips de memoria flash NAND MLC, como se explicó anteriormente, los cuales se programan con datos pseudo - aleatorios a lo largo de diversos períodos de tiempo para simular envejecimiento acelerado de estos dispositivos. De las pruebas realizadas se obtienen datos que permiten caracterizar los errores debidos a interferencia entre celdas, el número de errores de bits para diferentes códigos de corrección de errores y el comportamiento de los errores de retención de datos a lo largo del rango de ciclos de programación/borrado.

RESULTADOS DE LA SIMULACIÓN

En este estudio inicialmente se evalúa la capacidad del *BAC* para 5000 escrituras de palabra de código de 8 bits para los *LSB* y los *MSB* según la estimación de parámetros de las tablas I y II, de 2000 a 10000 ciclos de programación y borrado (*P/B*).

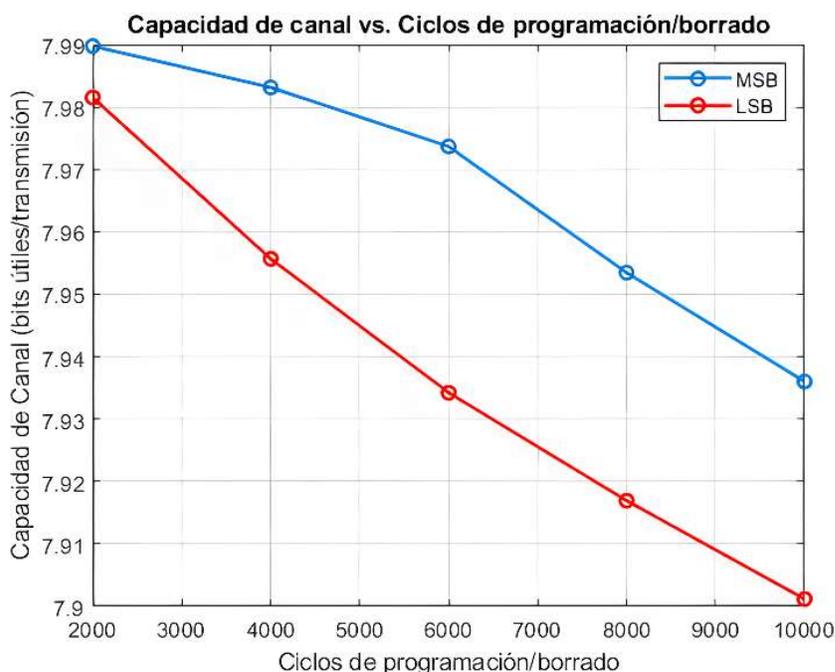


Fig. 8. Capacidad de canal vs. Ciclos de programación/borrado.

La figura 8 ilustra que el límite de información confiablemente escribible, tanto para los *LSB* como para los *MSB*, está muy próximo a la longitud de la palabra de código.

La comparación entre los códigos LDPC y los códigos polares para el modelo de canal *BAC - BBM*, se realiza con una longitud de código de 1024 bits para los códigos polares, divididos en 128 paquetes de 8 bits y $\epsilon = 0.2$. Para los códigos LDPC la longitud de código es de 1360 bits divididos en 170 paquetes de 8 bits. Ambos tipos de codificación se implementan con una tasa de error del 30% y la misma fuente de información. Se realizan 100 iteraciones para ambas codificaciones, y se calcula la probabilidad de error medio para el modelo de canal *BAC - BBM* considerando los 4 valores de (a, b, c, d) de la función *BBM* correspondientes a los ciclos de programación/borrado de la tabla 1.

Para los códigos LDPC, se obtiene una probabilidad de error promedio (*PEP*) de 2.33×10^{-4} después de 2000 ciclos de programación/borrado. En comparación, los códigos polares muestran un *PEP* de 2.34×10^{-4} . Al aumentar el número de ciclos de programación/borrado a 10000, los códigos LDPC presentan un *PEP* de 6.2×10^{-3} , mientras que los códigos polares muestran un *PEP* de 5.6×10^{-3} . Ambas codificaciones experimentan un aumento en el *PEP* a medida que se incrementan los ciclos de programación/borrado.

En otra instancia, se evaluaron los efectos del ruido en el canal para ambas codificaciones. Se modificó la relación Señal a Ruido (*S/N*) en un rango de -80 dB a 80 dB, y se obtuvo la probabilidad de error para ambas codificaciones utilizando los valores de (a, b, c, d) para 10000 ciclos de programación/borrado.

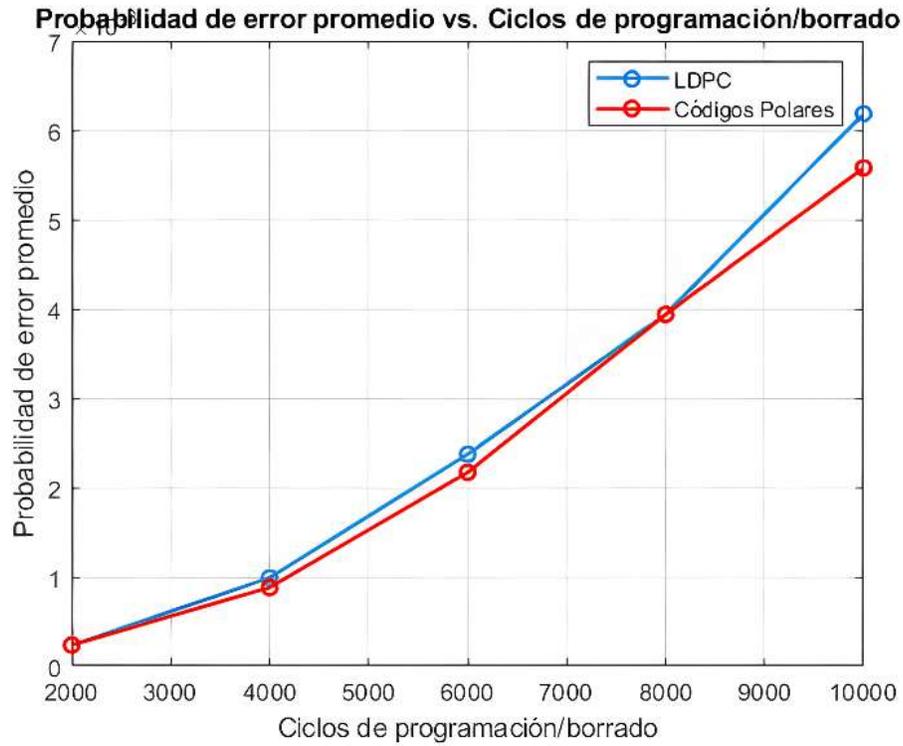


Fig. 9. Probabilidad de error promedio vs. Ciclos de programación/borrado.

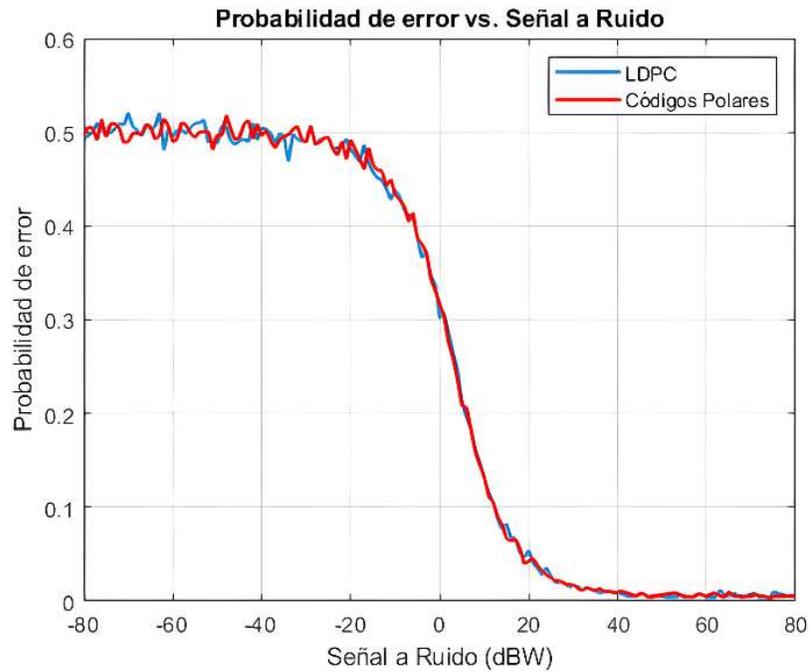


Fig. 10. Probabilidad de error promedio vs. S/N.

CONCLUSIONES

Los resultados indican que, en el contexto específico del modelo de canal BAC - BBM, tanto los códigos LDPC como los códigos polares muestran rendimientos similares en relación con la relación Señal a Ruido, con ligeras variaciones dependiendo de los parámetros específicos de la función BBM y la cantidad de ciclos de programación/borrado considerados. Al analizar la probabilidad de error promedio para 2000 ciclos de programación/borrado, se observa una mínima disparidad entre ambas codificaciones. Sin embargo, al ampliar la evaluación a 10000 ciclos de programación/borrado, se nota una disminución en el valor para los códigos polares. Los resultados de la evaluación de la capacidad del canal y la probabilidad de error promedio concuerdan con investigaciones previas que resaltan la superioridad de los códigos polares en implementaciones que manejan mensajes cortos.

AGRADECIMIENTOS

Harairis Brunet César agradece a CONAHCYT por su beca de maestría (CVU-1243656). Ernesto Zambrano Serrano agradece al proyecto (CF-2023-I-1110), apoyado por la convocatoria Ciencia de Frontera 2023 del CONAHCYT.

REFERENCIAS

1. "Flash Memory Market to Hit US\$ 99.65 Billion By 2031 | Research Report." Consegic Business intelligence. <https://www.globenewswire.com/news-release/2023/10/12/2758936/0/en/Flash-Memory-Market-to-Hit-US-99-65-Billion-By-031-Research-Report.html>.
2. S. S. Bashar Tahir, Markus Rupp, "BER Comparison Between Convolutional, Turbo, LDPC, and Polar Codes," 2017, doi: 10.1109/ICT.2017.7998249.
3. C. G. Velasco, "Estudio de códigos finitos LDPC y desarrollo de una herramienta simple de diseño," Universidad Carlos III de Madrid, Departamento de Teoría de la Señal y Comunicaciones, 2014. [Online]. Available: <https://e-archivo.uc3m.es/handle/10016/26435>
4. Z. W. Kun Zhu, "Comprehensive Study on CC-LDPC, BC-LDPC and Polar Code," 2020, doi: 10.1109/WCNCW48565.2020.9124897.
5. S. Ö. Marwan DHUHEIR, "Polar Codes Applications for 5G Systems " 2018, doi: 10.1109/CEIT.2018.8751838.
6. Y. Luo, "Achitectural techniques for improving nand flash memory reliability," 2018. [Online]. Available: <http://reports-archive.adm.cs.cmu.edu/anon/2018/CMU-CS-18-101.pdf>
7. H. U. Veeresh Taranalli, Paul H. Siegel, "Channel Models for Multi-Level Cell Flash Memories Based on Empirical Error Analysis," vol. 64, pp. 3169 - 3181, 2016, doi: 10.1109/TCOMM.2016.2584602.
8. S. H. A. H. Muntadher Saadoon, Hazrina Sofian, Hamza H.M. Altarturi, Zati Hakim Azizul, Nur Nasuha, "Fault tolerance in big data storage and processing systems: A review on challenges and solutions," ed. Department of Software Engineering, Faculty of Computer Science and Information Technology, Universiti Malaya: Ain Shams Engineering Journal, 2021.
9. Y.-C. L. LI-WEI LIU, HSIE-CHIA CHANG, "UP-GDBF: A 19.3 Gbps Error Floor Free 4KB LDPC Decoder for NAND Flash Applications," ed. Open Journal of Circuits and Systems IEEE, 2022.
10. J.-C. F. Haochuan SONG, Shih-Jia ZENG, Jin SHA, Zaichen ZHANG, Xiaohu YOU & Chuan ZHANG, "Polar-coded forward error correction for MLC NAND flash memory," ed. SCIENCE CHINA Information Sciences, 2018.
11. M. Z. Chao Yang, Yi Deng, Meng Wang, Xiao Hong Luo, Jie Zeng, "Error-correcting Performance Comparison for Polar Codes, LDPC Codes and Convolutional Codes in High-performance Wireless," 2019, doi: 10.1109/ICSS48103.2019.9115442.

- 12.A. Shokrollahi, "LDPC Codes: An Introduction," Digital Fountain ,Inc. 39141 Civic Center Drive,Fremont,CA 94538, CMU School of Computer Science, 2003. [Online]. Available: <https://www.cs.cmu.edu/afs/cs/project/pscico-guyb/realworld/www/slidesS14/ldpc-amin.pdf>
- 13.X. Li, "Evaluation of Channel Coding Methods for Next Generation Mobile Communication Standards," Universidad de Alcalá., Escuela Politécnica Superior, 2021. [Online]. Available: <https://ebuah.uah.es/dspace/handle/10017/49528?locale-attribute=es>
- 14.S. Buzaglo, "Permuted Successive Cancellation Decoder for Polar Codes," 2017, doi: 10.1109/ISIT.2017.8007003.
- 15.M. R. A. Reza Hooshmand, Taraneh Eghlidos, "Physical layer encryption scheme using finite-length polar codes," 2015, doi: 10.1049/iet-com.2014.0933.
- 16.W. T. Peng Shi, Shengmei Zhao and Bei Wang, "Performance of Polar Codes on Wireless Communication Channels," 2012, doi: 10.1109/ICCT.2012.6511367.
- 17.D. Y. Qingqing Peng, Dongxu Chang, Yuan Li, Huazi Zhang, Guiying Yan, Guanghui Wang, "On the Performance of Low-complexity Decoders of LDPC and Polar Codes," ed: arxiv.org, 2024.
- 18.S. Green. "Flash SSD Endurance and Reliability: Four Influential Factors." <https://www.electronicdesign.com/technologies/embedded/article/21267454/phison-electronics-flashmemory-ssd-endurance-and-reliability-four-influential-factors>.
- 19.H. U. Veeresh Taranalli, Paul H. Siegel, "Error Analysis and Inter-Cell Interference Mitigation in Multi-Level Cell Flash Memories," 2015, doi: 10.1109/ICC.2015.7248333.
- 20.S. G. Yixin Luo , Yu Cai; Erich F. Haratsch; Onur Mutlu, "Enabling Accurate and Practical Online Flash Channel Modeling for Modern MLC NAND Flash Memory," vol. 34, pp. 2294 - 2311, doi: 10.1109/JSAC.2016.2603608.
- 21.H. U. Veeresh Taranalli, Paul H. Siegel, "On the Capacity of the Beta-Binomial ChannelModel for Multi-Level Cell Flash Memories," vol. 34, 2312 - 2324, 2014, doi: 10.1109/JSAC.2016.2603660.